

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-335162

(43)Date of publication of application : 02.12.1994

(51)Int.Cl.

H02H 9/04

H01L 27/04

H03K 17/08

(21)Application number : 05-059795

(71)Applicant : NEC CORP

(22)Date of filing : 19.03.1993

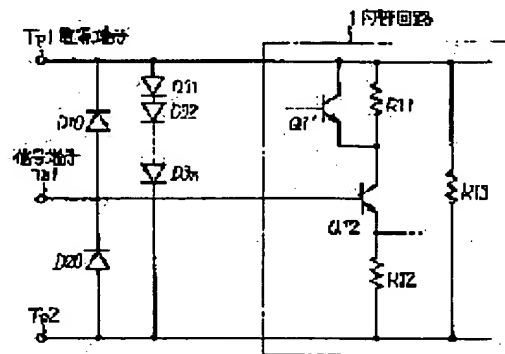
(72)Inventor : NAKAUCHI OSAMU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To dispense with a special manufacturing process to form circuit devices for a static protection and, further, avoid the damages and deteriorations of the circuit devices.

CONSTITUTION: In addition to existing first and second diodes D10 and D20, third diodes D31-D3n whose number is large enough to have the summation of their forward voltages exceed a power supply voltage are connected in series between first and second power supply terminals Tp1 and Tp2 so as to have their summation voltage be a forward voltage to the power supply voltage. With this constitution, an electrostatic energy can be discharged by a forward current through the first-third diodes and the breakdowns or Zener breakdowns of diodes are not used, so that of crystals can not be damaged and the damages and deteriorations of the diodes can be avoided.



LEGAL STATUS

[Date of request for examination] 08.09.1993

[Date of sending the examiner's decision of rejection] 10.09.1996

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-335162

(43) 公開日 平成 6 年 (1994) 12 月 2 日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 H 9/04	B	9059-5G		
H 0 1 L 27/04	H	8832-4M		
H 0 3 K 17/08	A	9184-5 J		

審査請求 有 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平5-59795

(22) 出願日 平成 5 年 (1993) 3 月 19 日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 中内 修

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外 2 名)

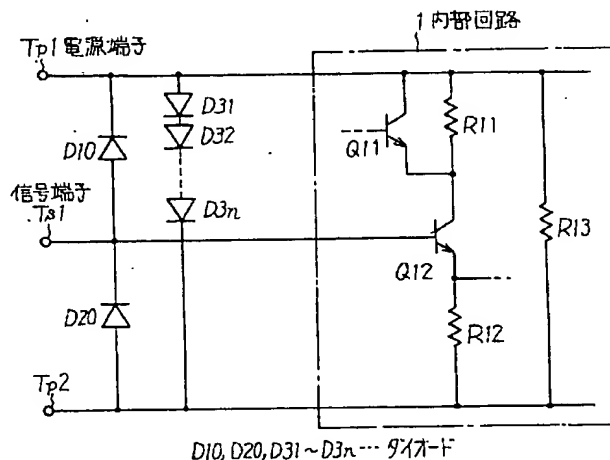
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 静電保護用の回路素子形成時に特殊な製造工程を必要とせず、かつこれら回路素子の破損や劣化を防止する。

【構成】 既存の第 1、第 2 のダイオード D 1 0、D 2 0 のほかに、第 1 及び第 2 の電源端子 T p 1、T p 2 間に、順方向電圧の合計が電源電圧より高い電圧となる数の第 3 のダイオード D 3 1 ~ D 3 n を電源電圧に対して順方向となるように直列接続する。

【効果】 静電エネルギーを、第 1 ~ 第 3 のダイオードの順方向電流によって放出でき、ダイオードのブレイクダウンやツェナー降服等を用いないので、結晶のダメージをなくし、ダイオードの破損や劣化を防止できる。



【特許請求の範囲】

【請求項 1】 入力信号に応答して所定の動作、処理を行う内部回路と、この内部回路に外部から電源を供給する第 1 及び第 2 の電源端子と、前記内部回路と外部回路との間の信号授受の中継を行う信号端子と、この信号端子と前記第 1 の電源端子との間に前記第 1 及び第 2 の電源端子間の電源電圧に対して逆バイアスとなるように接続された第 1 のダイオードと、前記信号端子と前記第 2 の電源端子との間に前記電源電圧に対して逆バイアスとなるように接続された第 2 のダイオードと、前記第 1 及び第 2 の電源端子間に前記電源電圧に対して順バイアスとなるようにかつ順方向電圧の合計が前記電源電圧より高くなる数だけ直列接続された複数の第 3 のダイオードとを有することを特徴とする半導体集積回路。

【請求項 2】 入力信号に応答して所定の動作、処理を行う内部回路と、この内部回路に外部から電源を供給する第 1 及び第 2 の電源端子と、前記内部回路と外部回路との間の信号授受の中継を行う信号端子と、この信号端子と前記第 1 の電源端子との間に前記第 1 及び第 2 の電源端子間の電源電圧に対して逆バイアスとなるように接続された第 1 のダイオードと、前記信号端子と前記第 2 の電源端子との間に前記電源電圧に対して逆バイアスとなるように接続された第 2 のダイオードと、一端を前記第 1 の電源端子と接続し前記電源電圧に対して順バイアスとなるようにかつ順方向電圧の合計が前記電源電圧より高くなる数だけ直列接続された複数の第 3 のダイオードを含むダイオード回路と、このダイオード回路の他端と前記第 2 の電源端子との間に接続された抵抗と、ベースを前記ダイオード回路及び抵抗の接続点と接続しコレクタを前記第 1 の電源端子と接続しエミッタを前記第 2 の電源端子と接続しベース・エミッタ接合部の順方向と前記第 3 のダイオードの順方向が一致するような接合型のトランジスタとを有することを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に関し、特に静電保護手段を備えた半導体集積回路に関する。

【0002】

【従来の技術】 現在では、あるゆる生活環境において静電気の発生源が存在するため、静電保護策を施した電子機器に多くなってきている。このような電子機器に組込まれ、静電保護手段を備えた従来の半導体集積回路の第 1 の例を図 3 に示す。

【0003】 この半導体集積回路は、トランジスタ Q1、Q12、抵抗 R11~R13 等を含み入力信号にตอบสนองして所定の動作、所定の処理を行う内部回路 1 と、この内部回路 1 に外部から電源を供給する第 1 及び第 2 の電源端子 Tp1、Tp2 と、内部回路 1 のトランジスタ Q12 への外部回路からの入力信号の中継を行う信号端

子 Ts1 と、極めて一般的な静電保護手段の、信号端子 Ts1 と電源端子 Tp1、Tp2 との間にそれぞれ、電源端子 Tp1、Tp2 間の電源電圧に対し逆バイアスとなるように接続されたダイオード D10、D20 とを有する構成となっている。

【0004】 この半導体集積回路に対して静電気が印加される状態は、図 4 に示すように、(1) 信号端子 Ts1 にプラス、電源端子 Tp1 にマイナス、(2) 信号端子 Ts1 にプラス、電源端子 Tp2 にマイナス、(3) 信号端子 Ts1 にマイナス、電源端子 Tp1 にプラス、(4) 信号端子 Ts1 にマイナス、電源端子 Tp2 にプラス、(5) 電源端子 Tp1 にプラス、電源端子 Tp2 にマイナス、(6) 電源端子 Tp1 にマイナス、電源端子 Tp2 にプラス、の 6 通りがある。

【0005】 上記 (1)、(4)、(6) の場合は、ダイオード D10、D20 に順方向電流が流れて静電エネルギーが放出され、内部回路 1 を保護し、上記 (2)、(3)、(5) の場合は、ダイオード D10、D20 がブレイクダウン（なだれ降服）を起こして静電エネルギーが放出され、内部回路 1 を保護する。

【0006】 これらダイオード D10、D20 のブレイクダウン電圧は、当然、内部回路 1 の構成部品それぞれの耐電圧より低く設定される。しかしながら、ダイオード D10、D20 のブレイクダウン電圧は通常、電源電圧より十分高い電圧に設定されるため、これらダイオード D10、D20 により消費される電力が大きくなり、サイズの小さいダイオードでは破損する危険性があった。

【0007】 図 5 に示された従来の半導体集積回路の第 2 の例では、ダイオード D10、D20 の上記問題点が解消される（例えば、特公平 3-13754 参照）。

【0008】 この半導体集積回路においては、ダイオード D10、D20 のほかに、電源端子 Tp1、Tp2 間にツェナーダイオード ZD10 が接続されている。このツェナーダイオード ZD10 は、ダイオード D10、D20 のブレイクダウン電圧より十分低く、電源電圧よりわずかに高いツェナー電圧を持つ。

【0009】 この例では、上記 (2)、(3)、(5) の場合、ダイオード D10、D20 がブレイクダウンを起す前にツェナーダイオード ZD10 ((2)、(3) の場合は D10、D20 の順方向経路) による静電エネルギーの放出が行なわれるので、ダイオード D10、D20 の破損を防止すると共に内部回路 1 を保護する。また、ツェナー電圧も電源電圧よりわずかに高いだけであるので、ツェナーダイオード ZD10 で消費される電力も小さく、そのサイズも小さくて済む。

【0010】 また、特開昭 58-79745 号公報を参照すると、図 6 に示すような半導体集積回路が記載されている。

【0011】 この半導体集積回路においては、ダイオー

3

ド D 1 0、D 2 0 のほかに、コレクタを電源端子 T p 1 と接続しエミッタを電源端子 T p 2 と接続したトランジスタ Q 2 が設けられている。この例では、上記 (2)、

(3)、(5) の場合、電源端子 T p 1、T p 2 間の電圧が、ダイオード D 1 0、D 2 0 のブレイクダウン発生前のトランジスタ Q 2 のコレクタ・エミッタ間ブレイクダウン電圧 V_{CB0} (ベースオープン時) に達すると、トランジスタ Q 2 がサスティン状態となり (2)、

(3) の場合は D 1 0、D 2 0 の順方向経路)、電源端子 T p 1、T p 2 間を低インピーダンス状態とし、ダイオード D 1 0、D 2 0 の破損を防止すると共に内部回路 1 を保護する。

【0012】

【発明が解決しようとする課題】 上述した従来の半導体集積回路において、第 1 の例では、信号端子 T s 1 と電源端子 T p 1、T p 2 との間にダイオード D 1 0、D 2 0 が接続された構成となっており、これらダイオード D 1 0、D 2 0 の順方向電圧の静電気に対してはこれらダイオード D 1 0、D 2 0 は破損することはないが、逆方向電圧の静電気に対してはこれらダイオード D 1 0、D 2 0 のブレイクダウンを利用しかつその消費電力が大きくなるため、破損しやすいという欠点があった。また、第 2 の例では、ダイオード D 1 0、D 2 0 ほかに電源端子 T p 1、T p 2 間にツェナーダイオード Z D 1 0 が設けられており、ダイオード D 1 0、D 2 0 の破損は防止できるものの、ツェナーダイオード Z D 1 0 を形成するための特殊な工程 (急な濃度勾配、高濃度不純物領域の形成等) が必要になるという欠点があり、また、ツェナー降服によるキャリアの 1 次、2 次の衝突電離による結晶のダメージが大きく、ツェナーダイオード Z D 1 0 が劣化しやすいという欠点があった。また、第 3 の例では、ダイオード D 1 0、D 2 0 のほかに電源端子 T p 1、T p 2 間にトランジスタ Q 2 が設けられており、同様にダイオード D 1 0、D 2 0 の破損は防止できるものの、トランジスタ Q 2 のコレクタ・ベース間のブレイクダウンを利用しているため、1 次、2 次の衝突電離による結晶のダメージが大きく、トランジスタ Q 2 が劣化しやすいという欠点があった。

【0013】 本発明の目的は、静電保護用の回路素子形成時に特殊な製造工程を必要とせず、かつこれら回路素子の破損や劣化を防止できる半導体集積回路を提供することにある。

【0014】

【課題を解決するための手段】 第 1 の発明の半導体集積回路は、入力信号に応答して所定の動作、処理を行う内部回路と、この内部回路に外部から電源を供給する第 1 及び第 2 の電源端子と、前記内部回路と外部回路との間の信号授受の中継を行う信号端子と、この信号端子と前記第 1 の電源端子との間に前記第 1 及び第 2 の電源端子間の電源電圧に対して逆バイアスとなるように接続され

4

た第 1 のダイオードと、前記信号端子と前記第 2 の電源端子との間に前記電源電圧に対して逆バイアスとなるように接続された第 2 のダイオードと、前記第 1 及び第 2 の電源端子間に前記電源電圧に対して順バイアスとなるようにかつ順方向電圧の合計が前記電源電圧より高くなる数だけ直列接続された複数の第 3 のダイオードとを有している。

【0015】 第 2 の発明の半導体集積回路は、入力信号に応答して所定の動作、処理を行う内部回路と、この内部回路に外部から電源を供給する第 1 及び第 2 の電源端子と、前記内部回路と外部回路との間の信号授受の中継を行う信号端子と、この信号端子と前記第 1 の電源端子との間に前記第 1 及び第 2 の電源端子間の電源電圧に対して逆バイアスとなるように接続された第 1 のダイオードと、前記信号端子と前記第 2 の電源端子との間に前記電源電圧に対して逆バイアスとなるように接続された第 2 のダイオードと、一端を前記第 1 の電源端子と接続し前記電源電圧に対して順バイアスとなるようにかつ順方向電圧の合計が前記電源電圧より高くなる数だけ直列接続された複数の第 3 のダイオードを含むダイオード回路と、このダイオード回路の他端と前記第 2 の電源端子との間に接続された抵抗と、ベースを前記ダイオード回路及び抵抗の接続点と接続しコレクタを前記第 1 の電源端子と接続しエミッタを前記第 2 の電源端子と接続しベース・エミッタ接合部の順方向と前記第 3 のダイオードの順方向が一致するような接合型のトランジスタとを有している。

【0016】

【実施例】 次に本発明の実施例について図面を参照して説明する。

【0017】 図 1 は本発明の第 1 の実施例を示す回路図である。

【0018】 この実施例は、トランジスタ Q 1 1、Q 1 2、抵抗 R 1 1 ~ R 1 3 を含む入力信号に応答して所定の動作、処理を行う内部回路 1 と、この内部回路 1 に外部から電源を供給する第 1 及び第 2 の電源端子 T p 1、T p 2 と、内部回路 1 と外部回路との間の信号授受の中継を行う信号端子 T s 1 と、この信号端子 T s 1 と第 1 の電源端子 T p 1 との間に第 1 及び第 2 の電源端子 T p 1、T p 2 間の電源電圧 V D D に対して逆バイアスとなるように接続された第 1 のダイオード D 1 0 と、信号端子 T s 1 と第 2 の電源端子 T p 2 との間に電源電圧 V D D に対して逆バイアスとなるように接続された第 2 のダイオード D 2 0 と、第 1 及び第 2 の電源端子 T p 1、T p 2 間に電源電圧 V D D に対して順バイアスとなるようにかつ順方向電圧の合計が電源電圧 V D D より高くなる数だけ直列接続された複数の第 3 のダイオード D 3 1 ~ D 3 n とを有する構成となっている。すなわち、この実施例が図 5、図 6 に示された従来の半導体集積回路と相違する点は、ツェナーダイオード Z D 1 0、トランジス

タQ2の代りに、電源電圧VDDに対して順方向に直列接続されたダイオードD31～D3nを設けた点にある。

【0019】この実施例において、図4の(1)、

(4)、(6)の場合、静電エネルギーはダイオードD10、D20の順方向電流によって放出される。また、図4の(2)、(3)、(5)場合は、ダイオードD31～D3n及びダイオードD10、D20(2)、

(3)の場合)の順方向電流によって静電エネルギーが放出される。すなわち、(1)～(6)何れの場合でも、静電エネルギーはダイオードD10、D20、D31～D3nの順方向電流によってのみ放出され、従来例のようにダイオードやトランジスタの逆方向電圧によるブレークダウン、ツェナー降服を利用していないので、静電保護用のこれらダイオードD10、D20、D31～D3nの破損や劣化を防止できる。また、ツェナーダイオードを使用していないので、特殊な製造工程を設けなくて済む。

【0020】なお、電源電圧VDDを5.0V、ダイオードD31～D3nの順方向電圧を0.6Vとし、これらダイオードの数nを9個とした場合、電源端子Tp1、Tp2間の電圧を5.4Vに抑えることができる。

【0021】図2は本発明の第2の実施例を示す回路図である。

【0022】この実施例は、第1の実施例におけるダイオードD31～D3nの回路を、電源端子Tp1と接続し電源電圧VDDに対して順バイアスとなるようにかつ順方向電圧の合計が電源電圧VDDより高くなる数だけ直列接続された複数の第3のダイオードD31～3nを含むダイオード回路と、このダイオード回路の他端と電源端子Tp2との間に接続された抵抗R1と、ベースを上記ダイオード回路及び抵抗R1の接続点と接続しコレクタを電源端子Tp1と接続しエミッタを電源端子Tp2と接続しベース・エミッタ接合部の順方向とダイオードD31～D3nの順方向が一致するような接合型(この実施例ではnpn型)のトランジスタQ1とから成る回路に置き換えたものである。

【0023】この実施例においては、電源端子Tp1、Tp2間の電圧がダイオードD31～D3n及びトランジスタQ1のベース・エミッタ間の順方向電圧の合計電圧を越えるとトランジスタQ1に電流が流れ、静電エネルギーを急速に放出する。また、第1の実施例に比べダイオードD31～D3nの寸法を小さくすることができ

る。また、トランジスタQ1のコレクタ・エミッタ間電流は、ベース・エミッタ間電流によって制御されるので、図6に示された従来例のようなキャリアの1次、2次の衝突電離による結晶のダメージがなく、トランジスタQ1の破損や劣化を防止できる。

【0024】なお、これら実施例において、内部回路1をバイポーラトランジスタによる構成としたが、その他のトランジスタ、例えば電界効果トランジスタによる構成であってもよい。

【0025】

【発明の効果】以上説明したように本発明は、既存の第1、第2のダイオードのほかに、第1及び第2の電源端子間に、順方向電圧の合計が電源電圧より高い電圧となる数の第3のダイオードを電源電圧に対して順方向となるように直列接続した構成、これら第3のダイオードからのベース電流によってコレクタ・エミッタ間電流が制御されるトランジスタを含む構成としたので、静電エネルギーを、第1～第3のダイオードの順方向電流、ベース電流によって制御されるトランジスタのコレクタ・エミッタ間電流によって放出でき、従ってキャリアの1次、2次の衝突電離による結晶のダメージがなくなりダイオードやトランジスタの破損、劣化を防止することができ、また、ツェナーダイオードを含まないので、ツェナーダイオード形成のための特殊な製造工程が不要になるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す回路図である。

【図2】本発明の第2の実施例を示す回路図である。

【図3】従来の半導体集積回路の第1の例の回路図である。

【図4】図3に示された半導体集積回路の静電保護動作説明するための静電気の印加状態を示す回路図である。

【図5】従来の半導体集積回路の第2の例の回路図である。

【図6】従来の半導体集積回路の第3の例の回路図である。

【符号の説明】

1 内部回路

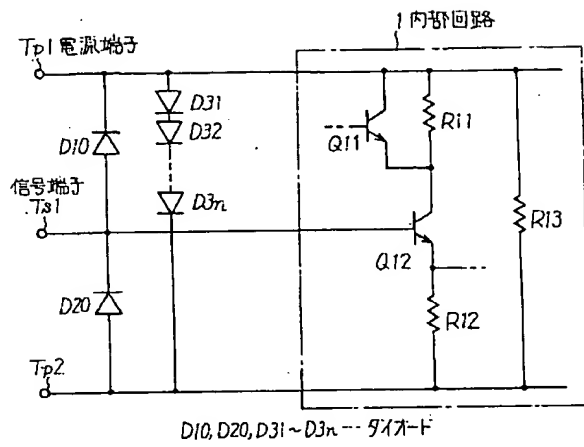
D10、D20、D31～D3n ダイオード

Q1、Q2 トランジスタ

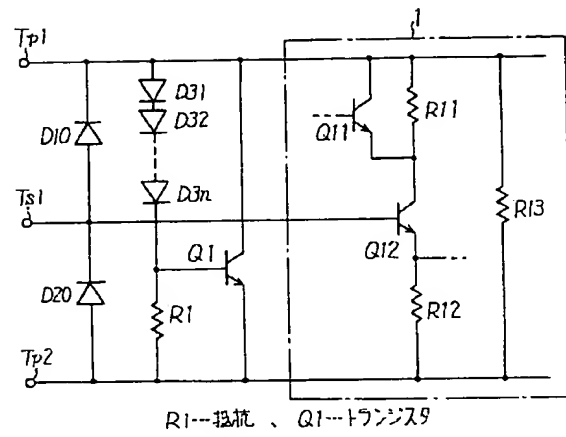
R1 抵抗

ZD10 ツェナーダイオード

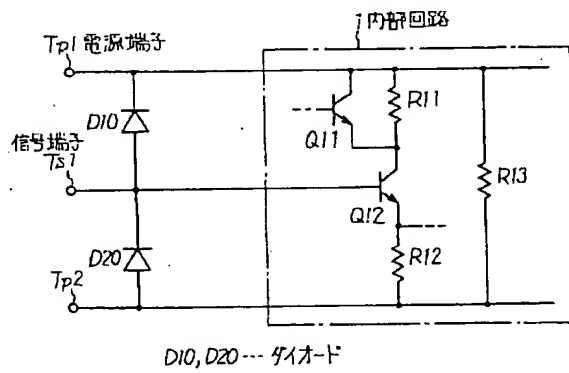
【図1】



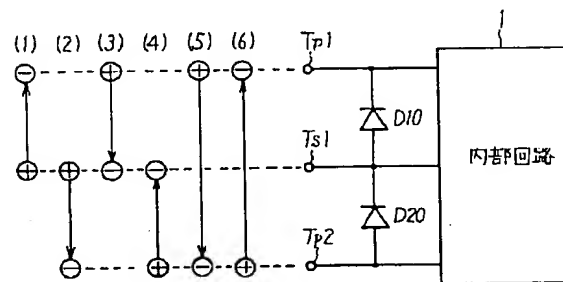
【図2】



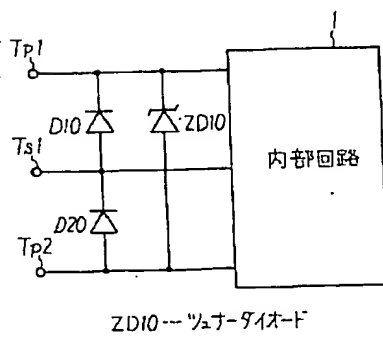
【図3】



【図4】



【図5】



【図6】

